

(11)Publication number : **04-372934**
(43)Date of publication of application : **25.12.1992**

(21)Application number : **03-150798**
 (22)Date of filing : **24.06.1991**
 (71)Applicant : **TOSHIBA CORP**
 (72)Inventor : **KUBO AKIRA**
DOJIRO MASAYUKI
IBARAKI NOBUKI

3/20/02 1:58 PM

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-372934

(43) 公開日 平成4年(1992)12月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1343		9018-2K	

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平3-150798

(22) 出願日 平成3年(1991)6月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 久保 明

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 堂城 政幸

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 茨木 伸樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

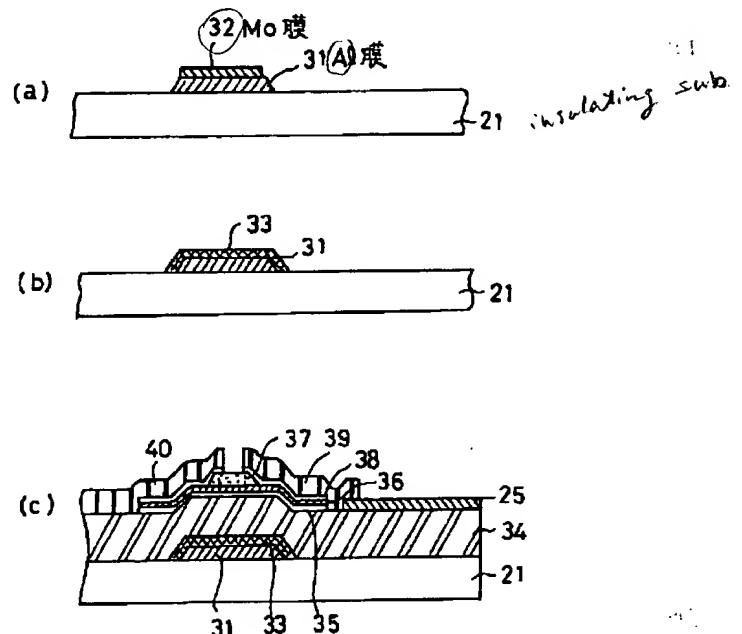
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 液晶表示装置用アレイ基板の製造方法

(57) 【要約】

【構成】 液晶表示装置用アレイ基板の製造方法に関し、Al膜31とMo膜32を順次積層し、燐酸、酢酸及び硝酸の混酸でエッチング加工した後に、上層のMo膜32を除去する工程を備える。

【効果】 テーパーの形成が容易で、走査線抵抗が小さいアレイ基板が得られ、アクティブマトリクス型液晶表示装置の大画面化・高精細化に有用である。



【特許請求の範囲】

【請求項1】 絶縁性基板上に走査線と信号線をマトリクス状に形成し、この交点に薄膜トランジスタ及び表示電極を配置してなる液晶表示装置用アレイ基板の製造方法において、アルミニウム金属とモリブデン金属を順次積層し、磷酸、酢酸及び硝酸の混酸でエッチング加工した後に、上層の前記モリブデン金属を除去する工程を備えることを特徴とする液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、液晶表示装置用アレイ基板の製造方法に関し、特に走査線の形成方法に関する。

【0002】

【従来の技術】 薄膜トランジスタ(TFT)アレイは、アクティブマトリクス型液晶表示素子に適用され、コントラスト比の高さ、応答速度の点で他の液晶表示素子に比べ格段に優れ、平面型表示装置の本命と目され脚光を浴びている。また、TFTアレイの半導体材料として、アモルファスシリコン(a-Si)が多く用いられているが、構造的にゲート電極上にゲート絶縁層を設け、その上に半導体層、ソース・ドレイン電極を設けたいわゆる逆スタガード型が採用されることが多い。

【0003】 図3は逆スタガード型のTFTアレイの要部を示す断面図である。図3において、ガラス基板1上には、例えばモリブデン・タンタル(MoTa)合金からなるゲート電極2及びこれと一体の走査線がパターン形成されている。次に、ゲート絶縁膜3、4、a-Si膜5、保護膜6が積層されてパターニングされた後、低抵抗アモルファスシリコン(n⁺a-Si)膜7が形成されている。続いて、ITO(インジウム錫酸化膜)からなる表示電極8が形成されている。その後、信号線と一体のドレイン電極9、及びソース電極10がパターン形成され、TFTアレイが完成する。

【0004】

【発明が解決しようとする課題】 液晶表示装置の表示部分が大画面化或いは高精細化されるに伴い、走査線が長くなることや、画素の開口率をほぼ一定にするため走査線の幅が細くなることに起因して、走査線抵抗の高抵抗化が起こる。この結果、走査信号の波形が歪み、信号の伝搬遅延が起こる。このことが画像の不均一化となって現れ、画質低下を招くことになる。そこで、走査線抵抗を低抵抗化する必要がある。走査線抵抗値は、対角14インチ画面サイズで画素数800×1000(走査線数800本)のときに、シミュレーションによると約0.3Ω/□以下としなければならない。低抵抗金属であるアルミニウム(Al)を走査線材料に使用すればよいが、単独で用いると製造工程中の熱処理工程にてヒロックを生じ、走査線と信号線の層間絶縁性を大きく悪くす

る問題がある。また、逆スタガード型TFTでは、ゲート上に各種の膜が形成され、それらの膜からなる配線等の段差部での段切れ防止用にテーパー形状とすることが望ましい。従来のゲート電極はMoTaを成膜後、ドライエッチングでパターンを形成しているが、テーパーを形成するためにガス条件、ガス圧等に工夫を要する。

【0005】

【課題を解決するための手段】 この発明は、絶縁性基板上に走査線と信号線をマトリクス状に形成し、この交点にTFT及び表示電極を配置してなる液晶表示装置用アレイ基板の製造方法についてのものであり、走査線を形成する際に、Al金属とモリブデン(Mo)金属を順次積層し、磷酸、酢酸及び硝酸の混酸でエッチング加工した後に、上層のMo金属を除去する工程を備えている。更に、この工程において、上層のMo金属を除去した後、Al金属上を他の金属例えばMoTa合金、タンタル(Ta)金属、チタン(Ti)金属及びクロム(Cr)金属等で被覆してもよい。

【0006】

【作用】 この発明において、テーパー加工については、例えば磷酸、酢酸及び硝酸の混酸で、AlよりもMoのエッチングレートが大きくなる混合比率の液を用いれば可能である。その後、Mo酸化膜による膜はがれ防止のために、Moのみエッチングを行い、Alのみの走査線にして、低抵抗の配線を形成することができる。更に、このAl上に他の金属(MoTa、Ta等)を積層すると、ヒロック防止や耐薬品処理を図ることができる。このように形成したアレイ基板は、層間絶縁性について全く問題なく且つ他の金属がAl上に存在するためにAlのヒロックが起こらないことから、走査線と信号線等の層間の短絡は起こらない。また、Alの膜厚を200nm、他の金属例えばMoTaの膜厚を100nmとしたとき、配線抵抗はMoTa膜厚300nmのときの約9分の1となり、低抵抗化を図ることができる。

【0007】

【実施例】 以下、この発明の詳細を図面を参照して説明する。

【0008】 図1はこの発明の一実施例を用いたアクティブマトリクス型液晶表示装置の等価回路図である。図1において、絶縁性基板21上に、走査線22と信号線23がマトリクス状に配設されている。そして、走査線22と信号線23の交差部に、a-Si膜を有するTFT24が形成されている。更に、TFT24のドレインは信号線23に接続され、ゲートは走査線22に接続されている。また、TFT24のソースには、各画素の表示電極25と液晶容量26及び補助容量27が接続されている。

【0009】 図2はこの実施例におけるTFT部の製造工程を示す断面図であり、図1と対応する部分には同一の符号を付してある。図2において、製造工程に従って

3

説明する。まず、図2(a)に示すように、例えばプラズマCVD法によるSiO_x膜付きガラスからなる絶縁性基板21上に、スパッタ法により、Al膜31を200nm堆積させる。このとき、Al膜31はAl合金例えばCu1原子%、Si0.5原子%含むAl膜でも可能である。次に、このAl膜31上に、Mo膜32をスパッタ法により50nm堆積させる。続いて、この積層膜上に、フォトリソグラフィを用いてゲート電極を含む走査線パターンを形成し、リン酸+硝酸+酢酸の混酸を用いてAl/Mo積層膜のエッチングを行い、走査線パターンを作製する。このとき、エッチング時にエッチングレートの差からMoにサイドエッチが入り、なだらかなテーパーを形成する。次に、リン酸+硝酸+酢酸のMoのみエッチングする比率の混酸を用いて、図2(b)に示すように、Mo膜32のみ除去する。続いて、Al膜31上にMoTa膜33をスパッタ法により50nm堆積させる。次に、MoTa膜33のエッチングを行い、Al膜31とMoTa膜33からなる走査線パターンを作製する。

【0010】続いて、図2(c)に示すように、プラズマCVD法によりSiO_x膜34、SiN_x膜35、a-Si膜36及びSiN_x膜37を連続堆積させる。次に、上層のSiN_x膜37をパターニングし、前処理後に、ソース・ドレイン電極のコンタクトとしてn⁺a-Si膜38をプラズマCVD法により堆積させる。次に、a-Si膜36をパターニングし、例えばITO膜からなる表示電極25を形成する。続いて、走査線22のパッド部(図示せず)の開口を、HF系エッチング液で行う。次に、スパッタ法によりAlを堆積させ、これを図1に示す信号線23、及びソース電極39とドレイン電極40として形成する。この後、RIE(Reactive Ion Etching)により、a-Si膜36のチャネル部と対向するn⁺a-Si膜38を除去し、液晶表示装置用アレイ基板が完成する。

【0011】この実施例において、走査線抵抗は、平均走査線幅を30μm、走査線長を20cmとしたとき

4

に、約1kΩとなり、これと同じ配線幅・配線長で膜厚3000オングストロームのMoTa膜からなる走査線抵抗は約9kΩとなるので、走査線抵抗を従来に比べ1/9に低減することができた。また、Al膜31とMo膜32のエッチング選択比の高いリン酸+硝酸+酢酸の混酸からなるエッチング液を用いることにより、走査線としてのAl膜31のなだらかなテーパー加工が可能である。更に、Al膜31上をMoTa膜33で保護することにより、熱処理により発生するAlのヒロックを防ぐことができた。また、Al膜31上にMoTa膜33を形成することにより、走査線形成以降の工程において、従来より用いられていたMoTaプロセスを採用することができた。

【0012】

【発明の効果】この発明は、Al金属とMo金属を順次積層し、リン酸、酢酸及び硝酸の混酸でエッチング加工した後、上層のMo金属を除去する工程を備えることにより、走査線抵抗は低抵抗化され、層間絶縁性が優れ、容易にテーパーの形成を可能にするので、液晶表示装置の大画面化・高精細化を図ることが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例を用いたアクティブマトリクス型液晶表示装置の等価回路図である。

【図2】この発明の一実施例におけるTFT部の製造工程を示す断面図である。

【図3】従来のTFTアレイの要部を示す断面図である。

【符号の説明】

- 21……絶縁性基板
- 22……走査線
- 23……信号線
- 24……TFT
- 25……表示電極
- 31……Al膜
- 32……Mo膜

【図3】

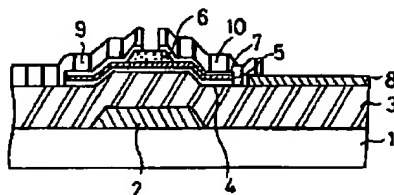


Figure 1 is a schematic diagram of a display device. It shows a rectangular insulating substrate (21) with a grid of lines. Vertical lines are labeled 22 (走査線 - scanning lines) and horizontal lines are labeled 23 (信号線 - signal lines). At the intersections, there are four TFT (Thin-Film Transistor) elements, labeled 24. Each TFT element is connected to a scanning line and a signal line. The TFT elements are also connected to a common electrode (25) and a pixel electrode (26). The pixel electrodes are connected to a voltage source (27).

【図2】

